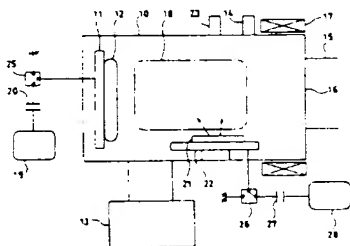


[51] Int. Cl. ³ H01L 21/22 [11] 公开号 CN 1154569A
 [21] 申请号 96122849.0 [22] 申请日 96.10.21
 [30] 优先权 [32] 95.10.23 [33] JP [31] 274234/95
 [71] 申请人 松下电器产业株式会社
 地址 日本大阪府
 [72] 发明人 水野文二 中冈弘明
 高瀬道彦 中山一郎
 [74] 专利代理机构 中国国际贸易促进委员会专利商标事务所
 代理人 王以平

[54] 发明名称 杂质的导入方法及其装置和半导体器件的制造方法

[57] 摘要 向真空

槽内导入惰性或反应性气体,以良好的效率产生杂质,以在固体样品的表面部分上形成高浓度的杂质层。在真空槽内保持杂质固体和固体样品。向真空槽内导入Ar气以形成等离子体。给杂质固体加上使其对于等离子体变成阴极的电压,用等离子体中对杂质固体溅射以使其中的硼混入等离子体中,给固体样品加上使其对于等离子体变成阴极的电压,把已混入等离子体中的硼导入固体样品的表面部分中去。

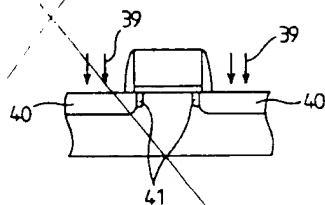


[51] Int. Cl. ³ H01L 21/265 [11] 公开号 CN 1154570A
 H01L 21/00 H01L 21/336
 H01L 29/78

[21] 申请号 96112234.X [22] 申请日 96.7.28
 [30] 优先权 [32] 95.7.28 [33] JP [31] 193347/95
 [71] 申请人 日本电气株式会社
 地址 日本东京都
 [72] 发明人 益冈宪明
 [74] 专利代理机构 中科专利代理有限责任公司
 代理人 齐晓寰 卢纪

[54] 发明名称 用改进的小型区抑制何短沟道的 MOS 晶体管及其制造方法

[57] 摘要 本发明的方法是将第一导电型杂质注入同一导电型基片中,使在栅电极有侧壁氧化硅膜的 MOS 晶体管中邻近第二导电型的源/漏区内侧边沿的限定位置处形成小型区。形成步骤为,在侧壁氧化硅膜选择性限定下,在源/漏区上形成的半导体外延层具有面对侧壁氧化硅膜且线性倾斜至其底部的侧面。用此外延层和侧壁氧化硅膜作掩模,在和基片表面法线呈一倾斜角的方向,将第一导电型杂质注入基片中邻近源/漏区内侧边沿的限定位置处。



[51] Int. Cl. ³ H01L 21/324 [11] 公开号 CN 1154571A
 [21] 申请号 96107253.9 [22] 申请日 96.3.30
 [30] 优先权 [32] 95.3.30 [33] JP [31] 072846/95
 [32] 95.6.29 [33] JP [31] 163768/95
 [71] 申请人 株式会社 F.T.L
 地址 日本神奈川县
 [72] 发明人 高木干夫
 [74] 专利代理机构 中国专利代理(香港)有限公司
 代理人 萧鞠昌 叶恺东

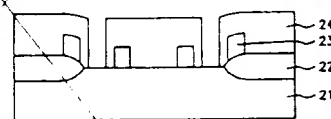
[54] 发明名称 制造半导体器件的方法和半导体器件的制造设备

热晶片(8)。

[51] Int. Cl. ³ H01L 21/60 [11] 公开号 CN 1154572A
 [21] 申请号 96118975.4 [22] 申请日 96.12.16
 [30] 优先权 [32] 95.12.16 [33] KR [31] 50877/95
 [32] 95.12.16 [33] KR [31] 50895/95
 [71] 申请人 现代电子产业株式会社
 地址 韩国京畿道
 [72] 发明人 李炳锡 郑义三 宋一锡 李海丁
 [74] 专利代理机构 柳沈知识产权律师事务所
 代理人 杨 梧

[54] 发明名称 形成半导体器件接触孔的方法

[57] 摘要 一种形成半导体器件接触孔的方法,它可准确控制接触孔的形状,减少硅基片表面的损伤,改善电特性。本方法包括以下步骤:形成层间绝缘膜,把碳氟化合物基气体和碳氧化物基气体导入蚀刻层间绝缘膜的蚀刻气体注入其中的蚀刻处理室中,形成接触孔。防止通过接触孔暴露的半导体基片的部分受到损伤。碳氟化合物基气体从 C_2F_6 、 C_3F_8 和 C_4F_8 组成的组中选出,碳氧化物基气体从由 CO 和 CO_2 构成的组中选出。

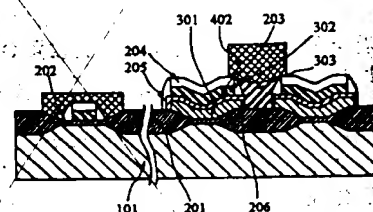


[51] Int. Cl. ³ H01L 21/8247 [11] 公开号 CN 1154573A
 H01L 27/115

[21] 申请号 96121696.4 [22] 申请日 96.10.31
 [30] 优先权 [32] 95.10.31 [33] JP [31] 308356/95
 [71] 申请人 日本电气株式会社
 地址 日本东京都
 [72] 发明人 齐藤贤治
 [74] 专利代理机构 中国专利代理(香港)有限公司
 代理人 萧鞠昌 张志强

[54] 发明名称 制造有擦除栅的非易失半导体存储器的方法

[57] 摘要 在制造包括存储单元晶体管和外围晶体管的非易失半导体存储器的方法中,在半导体衬底上,形成存储单元晶体管的浮栅和控制栅,并形成外围晶体管的栅极。分别用第一和第二绝缘层覆盖控制栅和栅极。淀积电层,以覆盖第一和第二绝缘层。深腐蚀导电层,直到暴露出第二绝缘层为止。在绝缘层上保留导电层,从而形成存储单元晶体管的擦除栅。在第二绝缘层上形成第一掩模层,在栅上形成第二掩模层。除去保留在掩模区之外的导电层。



[51] Int. Cl. ³ H01L 23/48 [11] 公开号 CN 1154574A
 [21] 申请号 96111440.1 [22] 申请日 96.8.30
 [30] 优先权 [32] 95.8.30 [33] JP [31] 221897/95
 [71] 申请人 日本电气株式会社